

(19) Patent Office of Japan (JP) (11) Publication of Patent Filing  
(12) **PATENT PUBLICATION (Kokai) (A) Shou 63-182767**

(43) Publication: Showa 63 year (1988) July 28

(51) Int. Cl. <sup>4</sup>	ID Code	Office Cont'l Nbr.
C 06 F	15/16 340	2116-5B
	3/14 320	7341-5B

Examination request: not requested  
Number of invention: 1 (total 2 pages)

(54) Title of invention: Display circuit

(21) Patent filing: Shou 62-14896

(22) Filed date: Shou 62 year (1987) January 23

(72) Inventor: Takaaki Yokoi  
Nippon Electric Co., Ltd.,  
5-33-1 Shiba, Minato-ku, Tokyo

(71) Applicant: Nippon Electric Co., Ltd.,  
5-33-1 Shiba, Minato-ku, Tokyo

(74) Attorney: Shin Uchihara, Patent agent

## PATENT SPECIFICATION

### 1. TITLE OF INVENTION

Display circuit

### 2. CLAIM

Display circuit which is characterized that it is composed with; a reset signal generation circuit which outputs negative logic reset signal when calculated value matches pre-determined value; a priority detection circuit, which memorizes n each of flip-flops being reset with reset signal and set with the first set signal being provided from outside, and outputs of these n each of flip-flops with ends of said reset signal, and generates selection signal following priority being determined in advance;; a display data register file which memorizes display data as a series of character code and conducts writing and reading of the display data by block units with m bytes as one block; and a display section which

reads output of said data register file in every specific period and has a display element in a constitution of dot matrix.

### 3. DETAILED DESCRIPTION OF THE INVENTION

[Industrial application field]

This invention concerns display circuit of devices being controlled with multiple microprocessors.

[Prior technology]

Previously, with devices which are controlled with microprocessor, printer devices for example, it has been common that they are composed that only the processor which handles control of entire device does display.

[Problems to be solved by the invention]

There have been problems such as that in a case when only one processor among multiple processors is doing display, reliabil-

ity of display itself is lost if a trouble occurs with the processor and further, it is not possible to judge whether it is correct display or false display.

[Means to solve the problems]

The display circuit of this invention has a reset signal generation circuit, n each of flip-flop, a priority detection circuit, a display data register file, and a display section.

[Embodiment example]

In the following, this invention is described by using an illustration.

Figure 1 is block diagram of embodiment example of this invention and it consists of a reset signal generation circuit 1, the first flip-flop 2, the second flip flop 3, a priority detection circuit 4, a display data register file 5 and a display section 6. In the embodiment example being shown in Figure 1, quantity of microprocessors being connected to outside is 2, and the first processor is designed to set the first flip-flop 2 and the second microprocessor sets the second flip-flop 3. Frequency of setting the first flip-flop 2 and the second flip-flop 3 is shorter frequency than the reset signal a which is generated by the reset signal generation circuit 1. The first flip-flop 2 and the second flip-flop 3 are reset with rise of the reset signal a. Therefore, outputs of the first flip-flop 2 and the second flip-flop 3 are memorized in the priority detection circuit 4 before they are reset by the reset signal a. As a result, whether the first microprocessor which is not shown in the illustration or the second microprocessor which is not shown in the illustration are normally functioning or not is always memorized in the priority detection circuit. The priority detection circuit 4 outputs display data selection signal according to pre-determined priority information and the memory information whether the microprocessor is normally functioning. Display data is written as character code display in the display data register file 5 by each of external processors which are not shown in the illustration, and the display data

signal e which is selected by the display data selection signal d is output following the request by the display section 5 and displayed in the display section 5.

[Effect of the invention]

As described above, by multiple processors composing the device setting flip-flop being assigned to each processor in shorter frequency than the frequency of reset signal and resetting all of flip-flops in a quantity of n with reset signal, display data which is attempted to display by a processor which is not working correctly will be suppressed by priority detection circuit, and display data of reliable processor will be displayed. If there are multiple reliable processors, display data is selected by priority detection circuit according to the priority which has been specified in advance.

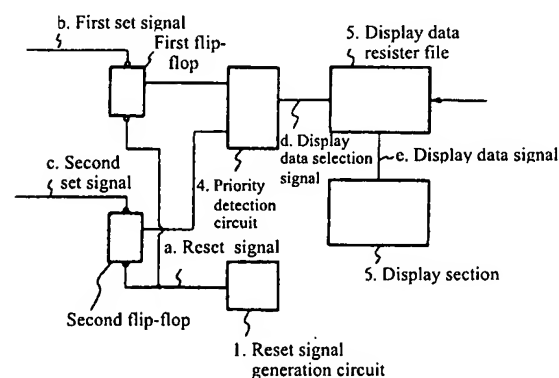
#### 4. BRIEF EXPLANATION OF DRAWINGS

Figure 1 is a block diagram of embodiment example of this invention.

1: Reset signal generation circuit, 2: First flip-flop, 3: Second flip-flop, 4: Priority detection circuit, 5: Display data register file, 6: Display section

Attorney: Shin Uchihara (Patent agent)

Figure 1



Translated by: Hideyo Sugimura, 651-490-0233, hsugimura@pipeline.com, May 10, 2004

## ⑫ 公開特許公報(A)

昭63-182767

⑪ Int.Cl.<sup>4</sup>G 06 F 15/16  
3/14

識別記号

3 4 0  
3 2 0

庁内整理番号

2116-5B  
7341-5B

⑬ 公開 昭和63年(1988)7月28日

審査請求 未請求 発明の数 1 (全2頁)

⑭ 発明の名称 表示回路

⑮ 特 願 昭62-14896

⑯ 出 願 昭62(1987)1月23日

⑰ 発 明 者 横 井 孝 明 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

## 明 細 書

されることを特徴とする表示回路。

## 1. 発明の名称

表示回路

## 2. 特許請求の範囲

クロックを計数し、計数値があらかじめ定められた値と一致したとき負論理のリセット信号を出力するリセット信号発生回路と、リセット信号によりリセットされ外部から与えられる第1のセット信号によりセットされるn個のフリップフロップとこれらのn個のフリップフロップの出力を前記リセット信号の立ち下りで記憶しあらかじめ定められた優先順位に従い選択信号を発生する優先順位判定回路と、表示データを文字コード列として記憶しmバイトを1ブロックとしてブロック単位に書き込みおよび読み出しを行なう表示データレジスタファイルと、一定周期毎に前記表示データレジスタファイルの出力を読み出しドットマトリクス構成の表示素子を有する表示部とから構成

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は複数のマイクロプロセッサにより制御される装置の表示回路に関する。

〔従来の技術〕

従来、複数のマイクロプロセッサで制御される装置例えばブリレタ装置においては装置全体の制御を担当するプロセッサのみが表示を行なうよう構成される方法が一般的であった。

〔発明が解決しようとする問題点〕

複数のプロセッサのある1つのプロセッサのみが表示を行っている場合そのプロセッサに異常が発生した場合においては表示内容そのものに信頼性が失われさらに正しい表示であるか誤った表示であるかの区別もつかない等の欠点があった。

〔問題点を解決するための手段〕

本発明の表示回路はリセット信号発生回路と、n個のフリップフロップと、優先順位判定回路と

表示データレジスタファイルと、表示部とを有している。

〔実施例〕

次に、本発明について図面を用いて説明する。

第1図は本発明の実施例のブロック図であり、リセット信号発生回路1と、第1のフリップフロップ2と、第2のフリップフロップ3と、優先順位判定回路4と、表示データレジスタファイル5と表示部6とから構成されている。第1図に示す実施例では外部に接続されるマイクロプロセッサの数は2個であり、第1のプロセッサが第1のフリップフロップ2をセットし、第2のマイクロプロセッサが第2のフリップフロップ3をセットするものとする。第1のフリップフロップ2および第2のフリップフロップ3をセットする周期はリセット信号発生回路1が発生するリセット信号aよりも短い周期である。第1のフリップフロップ2および第2のフリップフロップ3はリセット信号aの立ち上りでリセットされる。このため第1のフリップフロップ2および第2のフリップフロ

ップ3の出力はリセット信号aによりリセットされる前に優先順位判定回路4内に記憶されることになる。従って、優先順位判定回路内には図示しない第1のマイクロプロセッサあるいは図示しない第2のマイクロプロセッサが正常動作中であるかどうか常時記憶されていることになる。優先順位判定回路4はあらかじめ定められた優先順位情報およびマイクロプロセッサの正常動作中かどうかの記憶情報に従い表示データ選択信号を出力する。表示データレジスタファイル5には外部の図示しない各プロセッサにより表示データが文字コード表現で書き込まれており、表示データ選択信号dにより選択された表示データ信号eが表示部5の要求に従い出力され表示部5に表示される。

〔発明の効果〕

上述のように装置を構成する複数のプロセッサがリセット信号の周期よりも短い周期で各プロセッサに割り当てられたフリップフロップをセットし、リセット信号によりn個のフリップフロップをすべてリセットすることにより、正しく動作し

ていないプロセッサが表示しようとしている表示データが優先順位判定回路によりサブプレスされることになり、信頼性のあるプロセッサの表示データが表示される。信頼性のあるプロセッサが複数ある場合は優先順位判定回路によりあらかじめ定められた優先順位に従って表示データが選択される。

4. 図面の簡単な説明

第1図は本発明の実施例のブロック図である。

1……リセット信号発生回路、2……第1のフリップフロップ、3……第2のフリップフロップ、4……優先順位判定回路、5……表示データレジスタファイル、6……表示部。

代理人 弁理士 内 原



第1図

